

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2000-091274**  
 (43)Date of publication of application : **31.03.2000**

(51)Int CI

**H01L 21/301**

(21)Application number : **10-262575**  
 (22)Date of filing : **17.09.1998**

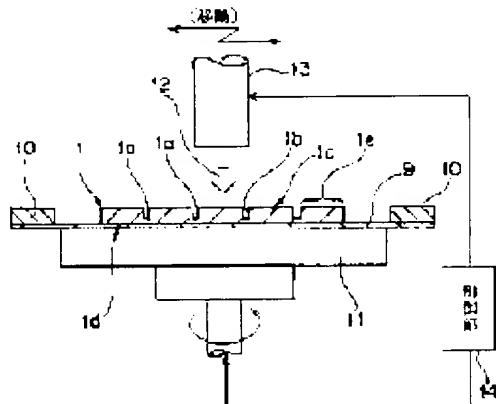
(71)Applicant : **HITACHI LTD**  
 (72)Inventor : **NAKANISHI MASAKI**  
**TAKASHIMA KAZUHISA**  
**MORITA MASAYUKI**  
**HANADA KENJI**

## **(54) FORMATION OF SEMICONDUCTOR CHIP AND MANUFACTURE OF SEMICONDUCTOR DEVICE USING THE SAME**

### **(57)Abstract:**

**PROBLEM TO BE SOLVED:** To improve an anti-bending strength of a semiconductor chip.

**SOLUTION:** A semiconductor wafer 1 is diced so as to have cut parts 1a therein, the cut parts 1a are etched to remove a surface layer 1b thereon and to eliminate defects such as chipping or crystalline defects formed in the cut parts 1a therefrom. As a result, an anti-bending strength of semiconductor chips obtained by separating the wafer 1 can be improved.



### **LEGAL STATUS**

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

\* NOTICES \*

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention is applied to removal of the defect formed of dicing about a semiconductor manufacturing technology, and relates to effective technology.

[0002]

[Description of the Prior Art] the technology explained below -- this invention -- research -- it faces completing, this invention person inquires, and the outline is as follows

[0003] Cutting of a semiconductor wafer is performed at the dicing process of a semiconductor manufacturing process. Here, a grid-like end slot is formed corresponding to the field of each semiconductor chip.

[0004] In addition, in dicing, the indeterminate form fracture (KAKE) called chipping to the edge of a cutting line may arise, and the cutting methods, such as a step cut and a bevel cut, are used as a cure to this chipping.

[0005] Here, the cutting methods, such as a step cut, a bevel cut, etc. in dicing equipment, are indicated by Kogyo Chosakai Publishing Co., Ltd. Issue, "VLSI manufacture and a testing-device guidebook <1998 Edition>, and an electronic material separate volume (November, 1997 issue separate volume)", and 23-25 pages, for example.

[0006]

[Problem(s) to be Solved by the Invention] However, let it be a problem for it to be difficult to remove a chipping, a crystal defect, etc. completely in the step cut and bevel cut in dicing equipment of said technology.

[0007] The purpose of this invention is to offer the formation method of the semiconductor chip which aims at improvement in the anti-chip box intensity of a semiconductor chip, and the manufacture method of the semiconductor device using it.

[0008] The other purposes and the new feature will become clear from description and the accompanying drawing of this specification at the aforementioned row of this invention.

[0009]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0010] That is, the formation method of the semiconductor chip by this invention has the process which cuts a semiconductor wafer and forms a grid-like end slot, and the process which \*\*\*\*\* the cutting section of the aforementioned semiconductor wafer formed of the aforementioned cutting, and remove the surface layer of the aforementioned cutting section, and may improve the anti-chip box intensity of the semiconductor chip which removes the aforementioned surface layer of the aforementioned cutting section, and is formed from the aforementioned semiconductor wafer.

[0011] Therefore, a crystal defect is removable by \*\*\*\*\*ing the cutting section by cutting (dicing) of a semiconductor wafer, and removing the surface layer of the cutting section.

[0012] Furthermore, since the edge side formed in the cutting section can be deleted, while being able to ease the stress concentration to this edge side, the crack formed in the front face can also be shaved off.

[0013] By this, a crystal defect can be removed, the stress concentration to an edge side can be eased, consequently improvement in the anti-chip box intensity of a semiconductor chip can be aimed at.

[0014] Moreover, the manufacture method of the semiconductor device by this invention The process for which the semiconductor wafer with which two or more semiconductor chips which have a semiconductor integrated circuit were formed using the formation method of the aforementioned semiconductor chip is prepared. The process which cuts the aforementioned semiconductor wafer and forms the end slot of the shape of a grid corresponding to the aforementioned semiconductor chip. The process which \*\*\*\*\*s the cutting section of the aforementioned semiconductor wafer formed of the aforementioned cutting, and removes the surface layer of the aforementioned cutting section. The process into which each aforementioned semiconductor chip is made to separate from the aforementioned semiconductor wafer, It has the process which connects electrically the process which joins the aforementioned semiconductor chip and chip supporter material, and the lead section electrically connected to the surface electrode and external terminal of the aforementioned semiconductor chip. By the aforementioned etching, the aforementioned surface layer of the aforementioned cutting section of the aforementioned semiconductor wafer is removed, and the anti-chip box intensity of the aforementioned semiconductor chip may be improved

[0015]

[Embodiments of the Invention] Hereafter, the gestalt of operation of this invention is explained in detail based on a drawing

[0016] The composition schematic diagram showing an example of the structure of the important section of dicing equipment where drawing 1 is used for the formation method of the semiconductor chip of the gestalt 1 operation of this invention. (Gestalt 1 of operation) The partial perspective diagram which drawing 2 fractures a part of example of the state of the semiconductor wafer at the time of the dicing by the dicing equipment shown in drawing 1, and is shown. The composition schematic diagram showing an example of the structure of the important section of an etching system where drawing 3 is used for the formation method of the semiconductor chip of the gestalt 1 operation of this invention. Drawing 4 is TCP (Tape Carrier Package) which is an example of the semiconductor device manufactured using the manufacture method of the semiconductor device of the gestalt 1 operation of this invention. It is the cross section showing structure.

[0017] The formation method of the semiconductor chip 2 of the gestalt 1 this operation By carrying out the dicing (cutting) of the semiconductor wafer 1, \*\*\*\*\*ing after that cutting section 1a formed of dicing to the semiconductor wafer 1 which performed this dicing, and removing surface-layer 1b of this cutting section 1a The defect (for example, defects which are the indeterminate form fracture (KAKE) produced in the edge side of a cutting line by dicing, such as a chipping and a crystal defect) formed in cutting section 1a of the semiconductor wafer 1 is removed. Improvement in the anti-chip box intensity of the semiconductor chip 2 (refer to drawing 4 ) which is made to separate from the semiconductor wafer 1 and is acquired by this is aimed at.

[0018] First, the structure of the important section of the dicing equipment used by the formation method of the semiconductor chip 1 of the gestalt 1 this operation shown in drawing 1 is explained.

[0019] The table 3 installed the important section of the aforementioned dicing equipment supports the semiconductor wafer 1, shown in drawing 2 by chucking, and free [ movement in the XY direction ]. The ultra-thin cutting edge 4 which cuts circuit forming face 1c of the semiconductor wafer 1 which carried out high-speed rotation and was supported on the table 3. It is constituted by the spindle 5 supported possible [ high-speed rotation of the ultra-thin cutting edge 4 ]. the nozzle 6 which supplies cooling water 7 to cutting section 1a of the semiconductor wafer 1 during cutting, and the control section 8 which controls the rotational speed of the ultra-thin cutting edge 4, movement magnitude, the movement magnitude of a table 3, etc.

[0020] In addition, at the dicing process, as shown in drawing 3 , the adhesive wafer tape 9 (it is also called a dicing tape) is stuck on 1d of the rear face, the periphery section is stuck on the ring-like frame fixture 10, and this wafer tape 9 is held, so that the semiconductor wafer 1 may not be distributed after dicing at each semiconductor chip 2.

[0021] Therefore, the semiconductor wafer 1 is fixed on the wafer tape 9 stuck on the frame fixture 10, it is conveyed by the dicing process in this state, and the semiconductor wafer 1 is further arranged and conveyed on the wafer tape 9 also to the etching process after a dicing process.

[0022] Thereby, it is made to correspond to two or more chip field 1e (to refer to drawing 3 ) of the semiconductor wafer 1 with which the semiconductor integrated circuit was formed in each using this dicing equipment, and cuts with a dicing process in the shape of a grid, and cutting section 1a which is a slot is formed at it.

[0023] Then, the structure of the important section of an etching system used by the formation method of the semiconductor chip 2 of the gestalt 1 this operation shown in drawing 3 is explained.

[0024] The etching system of the gestalt 1 of this operation is the thing of a wet formula, the important section The rotation stage 11 installed support the semiconductor wafer 1 by vacuum adsorption etc., and free [ rotation ]. It is constituted during etching by the control section 14 which controls traverse speed, movement magnitude, etc. of the move nozzle 13 which supplies an etching reagent 12 to cutting section 1a of the semiconductor wafer 1 supported by the rotation stage 11, and the rotational speed of the rotation stage 11 and the move nozzle 13.

[0025] Thereby, supporting the semiconductor wafer 1 formed of dicing by the rotation stage 11, and rotating this rotation stage 11 at predetermined speed, the aforementioned etching system supplies an etching reagent 12 from the move nozzle 13 to cutting section 1a of the semiconductor wafer 1, and \*\*\*\*\*'s cutting section 1a.

[0026] In addition, the surface-layer 1b covers a depth of about 2 micrometers by etching, and cutting section 1a is removed, and, thereby, can remove defects formed in cutting section 1a, such as a chipping and a crystal defect (a crystal defect is formed in a depth of about 1-2 micrometers).

[0027] the etching reagent 12 used here by the etching system in the formation method of the semiconductor chip 2 of the gestalt 1 this operation -- HF and HNO<sub>3</sub> Or H<sub>2</sub>SO<sub>4</sub> etc. -- it is mixed liquor [ for example, ]

[0028] Next, the formation method of the semiconductor chip 2 of the gestalt 1 this operation is explained.

[0029] In addition, after formation of the semiconductor chip 2 of the gestalt 1 of this operation performs dicing (cutting), it etches.

[0030] Moreover, before etching using the etching system shown in drawing 3 , preferably, in the process in front of dicing, the protective coat (strong resist film [ as opposed to / the aforementioned etching reagent 12 / For example, ]) to the aforementioned etching is formed in circuit forming face 1c of the semiconductor wafer 1, and dicing and etching are performed in this state.

[0031] First, the semiconductor wafer 1 with which 1d of the rear face was stuck and fixed on the wafer tape 9 which the semiconductor integrated circuit was formed in each chip field 1e, and was stuck on the ring-like frame fixture 10 is prepared, and this semiconductor wafer 1 is carried in in the dicing equipment shown in drawing 1 .

[0032] Then, the semiconductor wafer 1 is cut using dicing equipment (dicing), and cutting section 1a which is a grid-like end slot is formed.

[0033] That is, carrying out chucking on the table 3 showing the semiconductor wafer 1 with which the aforementioned resist film was applied to circuit forming face 1c in drawing 1 , and controlling the rotational speed of the ultra-thin cutting edge 4 (it is also

called a blade), the movement magnitude of a table 3, etc. by the control section 8, as shown in drawing 2, cooling water <sup>7</sup> is made to breathe out from a nozzle 6, and cutting section 1a which is a grid-like end slot is formed.

[0034] Thereby, each chip field 1c is classified.

[0035] It conveys in the predetermined part of an etching system which picks out the semiconductor wafer 1 from the dicing equipment shown in drawing 1 after a dicing end, then is shown in drawing 3, and cutting section 1a of the semiconductor wafer 1 is etched there.

[0036] First, the semiconductor wafer 1 is fixed by vacuum adsorption on the rotation stage 11.

[0037] then, the control section 14 -- the discharge quantity of the etching reagent 12 from the rotational speed of the rotation stage 11, the movement magnitude of the move nozzle 13 and speed, and the move nozzle 13 etc. -- controlling -- the surface (circuit forming face 1c) whole of the semiconductor wafer 1 -- almost -- homogeneity -- an etching reagent 12 -- supply \*\*\*\*\* -- it is made like and cutting section 1a of the semiconductor wafer 1 is \*\*\*\*\*ed by the etching reagent 12.

[0038] This removes surface-layer 1b of cutting section 1a.

[0039] in addition, the etching reagent 12 used here -- HF and HNO<sub>3</sub> Or H<sub>2</sub>SO<sub>4</sub> etc. -- it is mixed liquor and etching temperature is ordinary temperature [ for example. ]

[0040] Moreover, beforehand, since the protective coat (strong resist film [ as opposed to / an etching reagent 12 / For example. ]) to an etching reagent 12 is formed, only cutting section 1a which an etching reagent 12 did not \*\*\*\*\* in circuit forming face 1c, and was exposed by dicing \*\*\*\*\*s to circuit forming face 1c of the semiconductor wafer 1.

[0041] Thereby, surface-layer 1b with a thickness [ in cutting section 1a ] of about 2 micrometers is removed, and defects formed of dicing, such as a chipping and a crystal defect, can be removed.

[0042] Consequently, the anti-chip box intensity of the semiconductor chip 2 (refer to drawing 4 ) which is made to separate from this semiconductor wafer 1, and is acquired can be raised.

[0043] Then, the semiconductor wafer 1 is washed using the washing section (however, other washing stations when the etching system shown in drawing 3 is not equipped with the washing section) with which the etching system shown in drawing 3 is equipped.

[0044] Here, pure water washes the semiconductor wafer 1, for example.

[0045] Next, the manufacture method of the semiconductor device of the gestalt 1 this operation is explained.

[0046] In addition, the manufacture method of the aforementioned semiconductor device explains the ease of TCP15 shown in drawing 4 which is the package of a thin form as an example of the aforementioned semiconductor device with the gestalt 1 of this operation using the formation method of the aforementioned semiconductor chip.

[0047] Although TCP15 of the gestalt 1 of this operation here is effective when it is used for IC (Integrated Circuit) card which is the thin form product which embeds a semiconductor device and is formed in a card, the use is not limited to the aforementioned IC card.

[0048] First, the lead section 16 (chip supporter material) which will connect with pad 2a (surface electrode) of a semiconductor chip 2 electrically through a bump 17, and will support a semiconductor chip 2 through the bump 17 of a parenthesis if the composition of TCP15 is explained, The thin film wiring tape 19 on which the external lead 18 which is the external terminal connected with the lead section 16, and the lead section 16 and the external lead 18 were established. It consists of the closure section 20 which closed and formed circuit forming face 1c of a semiconductor chip 2, and the lead section 16 with the resin for closure, and the dam section 21 which prevents defluxion of the aforementioned resin for closure at the time of closing by potting.

[0049] In addition, the thin film wiring tape 19 is formed for example, on a polyimide tape etc., and the aforementioned resin for closure is a thermosetting epoxy resin etc.

[0050] Next, the manufacture method of TCP15 including the formation method of the aforementioned semiconductor chip 2 is explained.

[0051] In addition, about the procedure at the time of acquiring a semiconductor chip 2 from the semiconductor wafer 1 including the dicing process explained with the gestalt 1 of this operation, and an etching process, since it is completely the same as the formation method of the aforementioned semiconductor chip 2, the duplication explanation is omitted.

[0052] That is, the semiconductor chip 2 which \*\*\*\*\*ed and formed cutting section 1a by dicing by the formation method of the aforementioned semiconductor chip 2 is prepared.

[0053] Then, chip mounting (it is also called pellet bonding) which joins a semiconductor chip 2 and the lead section 16 which is chip supporter material is performed.

[0054] In the case of TCP15, the bump 17 and the lead section 16 of the thin film wiring tape 19 which carried out temporary fixation are joined to pad 2a of a semiconductor chip 2 electrically and mechanically by thermocompression bonding.

[0055] Since the lead section 16 which is an inner lead, and the external lead 18 which is an external terminal are connected electrically by this, it means that the external lead 18 was electrically connected with pad 2a of a semiconductor chip 2.

[0056] Then, using the aforementioned resin for closure, by the potting method, the resin seal of circuit forming face 1c of a semiconductor chip 2 and the lead section 16 is performed, and the closure section 20 is formed.

[0057] Furthermore, the thin film wiring tape 19 including the external lead 18 is cut in a predetermined part, and manufacture of TCP15 is completed.

[0058] TCP15 with the semiconductor chip 2 which removed surface-layer 1b of cutting section 1a by dicing, and aimed at improvement in anti-chip box intensity by this can be manufactured.

- [0059] According to the formation method of the semiconductor chip 2 of the gestalt this operation, and the manufacture method of TCP15 (semiconductor device) using it, the following operation effects are acquired.
- [0060] That is, a crystal defect is removable by \*\*\*~~\*\*\*\*\*~~ing cutting section 1a of the semiconductor wafer 1 formed of cutting (dicing), and removing surface-layer 1b of cutting section 1a.
- [0061] Furthermore, since the edge side formed in cutting section 1a can be deleted, while being able to ease the stress concentration to this edge side, the crack formed in the front face of cutting section 1a can also be shaved off.
- [0062] Therefore, since the aforementioned crystal defect can be removed and the stress concentration to the aforementioned edge side can be eased, improvement in the anti-chip box intensity of a semiconductor chip 2 can be aimed at.
- [0063] Moreover, dispersion in the anti-chip box intensity of the semiconductor chip 2 within the same wafer can be reduced by \*\*\*~~\*\*\*\*\*~~ing cutting section 1a of the semiconductor wafer 1.
- [0064] Furthermore, generating of a crack can be prevented, when the external force of specification within the limits is added also to TCP15 (semiconductor device) which is a product, since improvement in the anti-chip box intensity of a semiconductor chip 2 can be aimed at.
- [0065] Moreover, since improvement in the anti-chip box intensity of a semiconductor chip 2 can be aimed at, specification of a withstand load can be enlarged in TCP15.
- [0066] Furthermore, the element of circuit forming face 1c of a semiconductor chip 2 can be protected by etching, after forming the protective coat to etching in circuit forming face 1c of the semiconductor wafer 1, in case it etches.
- [0067] Thereby, the yield of a semiconductor chip 2 can be improved.
- [0068] (Gestalt 2 of operation) Drawing 5 is the composition schematic diagram showing the structure of the important section of the dicing equipment used for the formation method of the semiconductor chip of the gestalt 2 operation of this invention.
- [0069] The formation method of the semiconductor chip 2 of the gestalt 2 this operation etches cutting (dicing).
- [0070] That is, the formation method of the semiconductor chip 2 of the gestalt 2 this operation performs the aforementioned cutting and the aforementioned etching simultaneously to the formation method of the semiconductor chip 2 of the gestalt 1 operation having etched after cutting (after dicing).
- [0071] Therefore, the dicing equipment used for the formation method of the semiconductor chip 2 of the gestalt 2 this operation supplies an etching reagent 12 to cutting section 1a of the semiconductor wafer 1, breathing out and carrying out the dicing of the etching reagent 12 instead of cooling water 7 (refer to drawing 2) from a nozzle 6, as shown in drawing 5, and the etching reagent 12 serves also as cooling of cutting section 1a.
- [0072] That is, while also controlling the discharge quantity of the etching reagent 12 from a nozzle 6 and forming cutting section 1a by the control section 8, controlling the rotational speed of the ultra-thin cutting edge 4, the movement magnitude of a table 3, etc., the etching reagent 12 is simultaneously supplied to cutting section 1a.
- [0073] Thereby, the dicing equipment shown in drawing 5 is equipment which can be carried out to serve also as dicing and etching of cutting section 1a.
- [0074] The semiconductor wafer 1 is washed like the case of the gestalt 1 of operation after the dicing end including etching using pure water etc.
- [0075] In addition, the formation method of the semiconductor chip 2 of the gestalt 2 this operation and the manufacture method of the semiconductor device using it The procedure of etching of cutting section 1a formed of the dicing of the gestalt 1 of operation It only transposes to the dicing midst (cutting section 1a is \*\*\*~~\*\*\*\*\*~~ed replacing with and carrying out the dicing of the cooling water 7 by dicing equipment to an etching reagent 12) after dicing. About the formation method of the other semiconductor chips 2, and the manufacture method of a semiconductor device, since it is the same as what was explained with the gestalt 1 of operation, the duplication explanation is omitted.
- [0076] According to the formation method of the semiconductor chip 2 of the gestalt 2 this operation, and the manufacture method of the semiconductor device using it, the following operation effects are acquired.
- [0077] That is, cutting, (dicing) by etching, these processings can be performed efficiently, consequently the tact time in the formation method of a semiconductor chip 2 and the manufacture method of a semiconductor device can be shortened.
- [0078] In addition, about the operation effect of others which are obtained by the formation method of the semiconductor chip 2 of the gestalt 2 this operation, and the manufacture method of the semiconductor device using it, since it is the same as that of what was explained with the gestalt 1 of operation, the duplication explanation is omitted.
- [0079] As mentioned above, although invention made by this invention person was concretely explained based on the gestalten 1 and 2 of implementation of invention, it cannot be overemphasized by this invention that it can change variously in the range which is not limited to the gestalten 1 and 2 of implementation of the aforementioned invention, and does not deviate from the summary.
- [0080] For example, although the gestalten 1 and 2 of the aforementioned implementation explained the case where cut circuit forming face 1c of the semiconductor wafer 1 (dicing), cut to this circuit forming face 1c, and cutting section 1a which is a slot was formed, you may \*\*\*~~\*\*\*\*\*~~ cutting section 1a which carried out the dicing of the 1d (refer to drawing 3) of the rear faces which are a field of an opposite side to circuit forming face 1c of the semiconductor wafer 1, and was formed in 1d of this rear face.
- [0081] That is, cutting section 1a of the semiconductor wafer 1 which cut the semiconductor wafer 1 at 1d of the rear face (dicing), formed in 1d of rear faces cutting section 1a which is a grid-like end slot, and was formed of the aforementioned cutting is \*\*\*~~\*\*\*\*\*~~ed, and surface-layer 1b of cutting section 1a is removed.

[0082] In that case, the wafer tape 9 is stuck on circuit forming face 1c of the semiconductor wafer 1, on the table 3 of dicing equipment, reverses the front reverse side of the case of the usual dicing, and the semiconductor wafer 1, and is arranged at the time of dicing.

[0083] That is, in case the dicing of 1d of rear faces is performed, 1d of rear faces to which 1d of rear faces of the semiconductor wafer 1 was turned to the spindle 5 side (upper part) (turn to the circuit forming face 1c side on which the wafer tape 9 was stuck downward), and they were turned up is cut and cut with the ultra-thin cutting edge 4, and cutting section 1a which is a slot is formed in 1d of rear faces.

[0084] Cutting section 1a formed in 1d of this rear face is \*\*\*\*\*ed like the method of the gestalt 1 operation after dicing.

[0085] In addition, you may \*\*\*\*\* cutting section 1a like the method of the gestalt 2 operation into the dicing of 1d of rear faces of the semiconductor wafer 1. That is, you may \*\*\*\*\*, carrying out the dicing of the 1d of the rear faces.

[0086] In order to perform cutting and etching in 1d of rear faces of the semiconductor wafer 1, it becomes unnecessary thereby to form the protective coat to circuit forming face 1c before etching.

[0087] Consequently, since the process of this protective coat formation can be deleted as compared with the case where a protective coat is formed to circuit forming face 1c before etching, the increase in efficiency of cutting and etching can be attained, and, thereby, a tact time can be shortened.

[0088] In addition, since cutting is performed to 1d side of rear faces of the semiconductor wafer 1 by cutting the semiconductor wafer 1 at 1d of rear faces, and \*\*\*\*\*ing cutting section 1a of the semiconductor wafer 1 formed of this cutting, the wafer tape 9 is stuck on circuit forming face 1c of the semiconductor wafer 1.

[0089] Consequently, the element of circuit forming face 1c can be protected on this wafer tape 9.

[0090] Moreover, in the method of carrying out the dicing of the 1d of the rear faces, in case the aforementioned etching is performed, the whole of 1d of rear faces is \*\*\*\*\*ed, and surface-layer 1b of the whole rear face may be removed.

[0091] Thereby, surface-layer of 1d of rear faces of semiconductor wafer 1 1b can be removed, and the crystal defect formed in 1d of rear faces of the semiconductor wafer 1 can be removed.

[0092] Consequently, the anti-chip box intensity of a semiconductor chip 2 can be improved further.

[0093] in addition -- although the gestalten 1 and 2 of the aforementioned implementation explained the case where used an etching reagent 12 and cutting section 1a was \*\*\*\*\*ed after dicing or into dicing -- as the substitute of an etching reagent 12 -- CF4+O2 Or SF6 etc. -- you may use etching gas

[0094] In this case, etching is performed at about 50-100 degrees C, and the neutralization gas to the aforementioned etching gas is used at the time of washing.

[0095] In addition, when etching gas is used, the same operation effect as the gestalt 1 of the aforementioned implementation can be acquired.

[0096] Moreover, although the gestalten 1 and 2 of the aforementioned implementation explained the case where it etched by using an etching reagent 12 after dicing or into dicing, you may etch cutting section 1a of the semiconductor wafer 1 with the spatter method by the ion of inert gas like the gestalt of other operations shown in drawing 6.

[0097] In this case, since an anisotropy can be used, as it is shown in drawing 6, the spatter particle 23 does not need to collide circuit forming face 1c with circuit forming face 1c of the semiconductor wafer 1 by using the mask 22 for wrap spatters, and the spatter particle 23 does not need to form protective coats, such as a resist film, on circuit forming face 1c in order to collide linearly to the semiconductor wafer 1.

[0098] Therefore, as well as the case of rear-face dicing since it can delete the process of protective coat formation, the increase in efficiency of cutting and etching can be attained, and, thereby, a tact time can be shortened.

[0099] Furthermore, multiple-times use of the mask 22 can be carried out.

[0100] Moreover, although the gestalt 1 (it contains when etching after dicing by rear-face dicing) of the aforementioned implementation explained the case where dicing and etching were performed using separate equipment, the etching section is prepared in dicing equipment and it is good for it also as equipment with the dicing section and the etching section.

[0101] That is, dicing equipment may be a consistent processor which \*\*\*\*\*s cutting section 1a by dicing, after performing dicing.

[0102] Moreover, although the gestalten 1 and 2 of the aforementioned implementation took up and explained TCP15 as an example of a semiconductor device The aforementioned semiconductor device \*\*\*\*\*s cutting section 1a formed of dicing, and the surface-layer 1b is removed, by this if the semiconductor chip 2 which raised anti-chip box intensity is incorporated -- COB (Chip On Board) and CSP (Chip Scale Package) etc. -- you may be other semiconductor devices and may apply to a bare chip shipment article further

[0103]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated in this application is explained briefly.

[0104] (1) By \*\*\*\*\*ing the cutting section of the semiconductor wafer formed of, cutting (dicing), and removing the surface layer of the cutting section, a crystal defect is removable. Furthermore, since the edge side formed in the cutting section can be deleted, the stress concentration to this edge side can be eased. Thereby, improvement in the anti-chip box intensity of a semiconductor chip can be aimed at.

[0105] (2) By \*\*\*\*\*ing the cutting section of, semiconductor wafer, dispersion in the anti-chip box intensity of the semiconductor chip within the same wafer can be reduced. Furthermore, generating of a crack can be prevented, when the

external force of specification within the limits is added also to the semiconductor device which is a product, since improvement in the anti-chip box intensity of a semiconductor chip can be aimed at.  
[0106] (3) Since improvement in the anti-chip box intensity of a semiconductor chip can be aimed at, specification of a withstand load can be enlarged in a semiconductor device.  
[0107] (4) By etching performing, dicing, these processings can be performed efficiently, consequently a tact time can be shortened.

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-91274

(P2000-91274A)

(43)公開日 平成12年3月31日 (2000.3.31)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 21/301

識別記号

F 1

H 0 1 L 21/78

マークト (参考)

S

Q

審査請求 未請求 請求項の数8 OL (全 9 頁)

(21)出願番号 特願平10-262575

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22)出願日 平成10年9月17日 (1998.9.17)

(72)発明者 中西 正樹

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業本部内

(72)発明者 ▲高▼島 一壽

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業本部内

(74)代理人 100080001

弁理士 筒井 大和

最終頁に続く

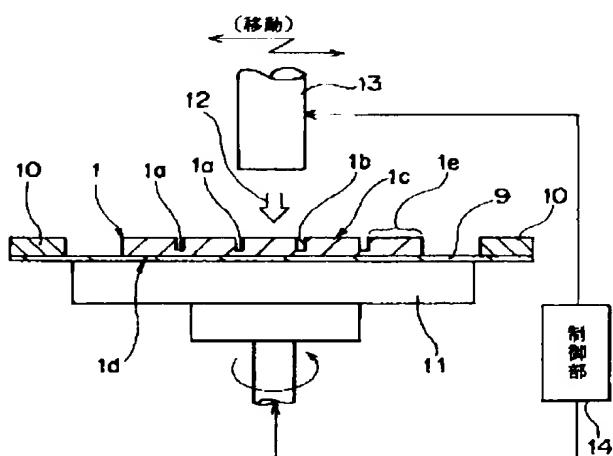
(54)【発明の名称】 半導体チップの形成方法およびそれを用いた半導体装置の製造方法

(57)【要約】

【課題】 半導体チップの抗折強度の向上を図る。

【解決手段】 半導体ウェハ1をダイシングし、この半導体ウェハ1のダイシングによって形成された切削部1aを、ダイシング後、エッチングしてこの切削部1aの表面層1bを除去することにより、半導体ウェハ1の切削部1aに形成されたチッピングや結晶欠陥などの欠陥を取り除き、これによって半導体ウェハ1から分離させて取得する半導体チップの抗折強度の向上を図ることができる。

図 3



1: 半導体ウェハ  
1a: 切削部  
1b: 表面層  
1c: 回路形成面  
1d: 裏面

## 【特許請求の範囲】

【請求項1】 半導体ウェハを切削して格子状の切り溝を形成する工程と、前記切削によって形成された前記半導体ウェハの切削部をエッチングして前記切削部の表面層を除去する工程とを有し、前記切削部の前記表面層を除去して前記半導体ウェハから形成する半導体チップの抗折強度を向上し得ることを特徴とする半導体チップの形成方法。

【請求項2】 半導体ウェハを切削して格子状の切り溝を形成する工程と、前記切削によって形成された前記半導体ウェハの切削部にエッティング液またはエッティングガスを供給して前記切削部をエッティングすることにより、前記切削部の表面層を除去する工程とを有し、前記切削部の前記表面層を除去して前記半導体ウェハから形成する半導体チップの抗折強度を向上し得ることを特徴とする半導体チップの形成方法。

【請求項3】 請求項1または2記載の半導体チップの形成方法であって、前記エッティングを行う際に、前記半導体ウェハの回路形成面に前記エッティングに対する保護膜を形成した後に前記エッティングを行うことを特徴とする半導体チップの形成方法。

【請求項4】 半導体ウェハをその回路形成面と反対側の面で切削して前記反対側の面に格子状の切り溝を形成する工程と、

前記切削によって形成された前記半導体ウェハの切削部をエッティングして前記切削部の表面層を除去する工程とを有し、

前記切削部の前記表面層を除去して前記半導体ウェハから形成する半導体チップの抗折強度を向上し得ることを特徴とする半導体チップの形成方法。

【請求項5】 請求項4記載の半導体チップの形成方法であって、前記エッティングを行う際に、前記回路形成面と反対側の面をエッティングして前記反対側の面の前記表面層を除去することを特徴とする半導体チップの形成方法。

【請求項6】 請求項1, 2, 3, 4または5記載の半導体チップの形成方法であって、前記切削を行った後に前記エッティングを行うことを特徴とする半導体チップの形成方法。

【請求項7】 請求項1, 2, 3, 4または5記載の半導体チップの形成方法であって、前記切削を行いながら前記エッティングを行うことを特徴とする半導体チップの形成方法。

【請求項8】 請求項1, 2, 3, 4, 5, 6または7記載の半導体チップの形成方法を用いた半導体装置の製造方法であって、

半導体集積回路を有する複数の半導体チップが形成された半導体ウェハを準備する工程と、

前記半導体ウェハを切削して前記半導体チップに対応した格子状の切り溝を形成する工程と、前記切削によって形成された前記半導体ウェハの切削部をエッティングして前記切削部の表面層を除去する工程と、前記半導体ウェハから個々の前記半導体チップを分離させる工程と、前記半導体チップとチップ支持部材とを接合する工程と、

10 前記半導体チップの表面電極と外部端子に電気的に接続されるリード部とを電気的に接続する工程とを有し、前記エッティングによって前記半導体ウェハの前記切削部の前記表面層を除去して前記半導体チップの抗折強度を向上し得ることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体製造技術に関し、特に、ダイシングによって形成された欠陥の除去に適用して有効な技術に関する。

## 【0002】

【従来の技術】以下に説明する技術は、本発明を研究、完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】半導体製造工程のダイシング工程では、半導体ウェハの切削加工が行われる。ここでは、それぞれの半導体チップの領域に対応して格子状の切り溝が形成される。

【0004】なお、ダイシングでは、切削ラインのエッジにチッピングと呼ばれる不定形破断（カケ）が生じることがあり、このチッピングへの対策として、ステップカットやペベルカットなどの切削方法が用いられている。

【0005】ここで、ダイシング装置におけるステップカットやペベルカットなどの切削方法については、例えば、株式会社工業調査会発行、「超LSI製造・試験装置ガイドブック<1998年版>、電子材料別冊（1997年11月号別冊）」、23～25頁に記載されている。

## 【0006】

40 【発明が解決しようとする課題】ところが、前記した技術のダイシング装置におけるステップカットやペベルカットでは、チッピングや結晶欠陥などを完全に除去するのは困難であることが問題とされる。

【0007】本発明の目的は、半導体チップの抗折強度の向上を図る半導体チップの形成方法およびそれを用いた半導体装置の製造方法を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0010】すなわち、本発明による半導体チップの形成方法は、半導体ウェハを切削して格子状の切り溝を形成する工程と、前記切削によって形成された前記半導体ウェハの切削部をエッチングして前記切削部の表面層を除去する工程とを有し、前記切削部の前記表面層を除去して前記半導体ウェハから形成する半導体チップの抗折強度を向上し得るものである。

【0011】したがって、半導体ウェハの切削（ダイシング）による切削部をエッチングして切削部の表面層を除去することにより、結晶欠陥を除去することができる。

【0012】さらに、切削部に形成されたエッジ面を削ることができるために、このエッジ面への応力集中を緩和できるとともに、表面に形成された亀裂も削り取ることができる。

【0013】これにより、結晶欠陥を除去でき、かつエッジ面への応力集中を緩和でき、その結果、半導体チップの抗折強度の向上を図ることができる。

【0014】また、本発明による半導体装置の製造方法は、前記半導体チップの形成方法を用いたものであり、半導体集積回路を有する複数の半導体チップが形成された半導体ウェハを準備する工程と、前記半導体ウェハを切削して前記半導体チップに対応した格子状の切り溝を形成する工程と、前記切削によって形成された前記半導体ウェハの切削部をエッチングして前記切削部の表面層を除去する工程と、前記半導体ウェハから個々の前記半導体チップを分離させる工程と、前記半導体チップとチップ支持部材とを接合する工程と、前記半導体チップの表面電極と外部端子に電気的に接続されるリード部とを電気的に接続する工程とを有し、前記エッチングによって前記半導体ウェハの前記切削部の前記表面層を除去して前記半導体チップの抗折強度を向上し得るものである。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0016】（実施の形態1）図1は本発明の実施の形態1の半導体チップの形成方法に用いられるダイシング装置の要部の構造の一例を示す構成概略図、図2は図1に示すダイシング装置によるダイシング時の半導体ウェハの状態の一例を一部破断して示す部分斜視図、図3は本発明の実施の形態1の半導体チップの形成方法に用いられるエッチング装置の要部の構造の一例を示す構成概略図、図4は本発明の実施の形態1の半導体装置の製造方法を用いて製造される半導体装置の一例であるTCP（Tape Carrier Package）の構造を示す断面図である。

【0017】本実施の形態1の半導体チップ2の形成方

法は、半導体ウェハ1をダイシング（切削）し、このダイシングを行った半導体ウェハ1に対してダイシングによって形成された切削部1aを、その後、エッチングしてこの切削部1aの表面層1bを除去することにより、半導体ウェハ1の切削部1aに形成された欠陥（例えば、ダイシングにより切削ラインのエッジ面に生じた不定形破断（カケ）であるチッピングや結晶欠陥などの欠陥）を取り除き、これによって半導体ウェハ1から分離させて取得する半導体チップ2（図4参照）の抗折強度の向上を図るものである。

【0018】まず、図1に示す本実施の形態1の半導体チップ1の形成方法で用いるダイシング装置の要部の構造について説明する。

【0019】前記ダイシング装置の要部は、図2に示す半導体ウェハ1をチャッキングによって支持し、かつX-Y方向に移動自在に設置されたテーブル3と、高速回転してテーブル3により支持された半導体ウェハ1の回路形成面1cを切削する極薄切削刃4と、極薄切削刃4を高速回転可能に支持するスピンドル5と、切削中、半導体ウェハ1の切削部1aに冷却水7を供給するノズル6と、極薄切削刃4の回転速度や移動量およびテーブル3の移動量などを制御する制御部8とによって構成されている。

【0020】なお、ダイシング工程では、半導体ウェハ1は、ダイシング後に個々の半導体チップ2に分散しないように、図3に示すように、その裏面1dに粘着性のウェハテープ9（ダイシングテープともいう）が貼付されており、このウェハテープ9はその外周部がリング状のフレーム治具10に貼り付けられて保持されている。

【0021】したがって、フレーム治具10に貼付されたウェハテープ9上に半導体ウェハ1が固定され、この状態でダイシング工程に搬送され、さらに、ダイシング工程後のエッチング工程に対しても半導体ウェハ1は、ウェハテープ9上に配置されて搬送される。

【0022】これにより、ダイシング工程では、このダイシング装置を用いて、それぞれに半導体集積回路が形成された半導体ウェハ1の複数のチップ領域1e（図3参照）に対応させて格子状に切り溝である切削部1aを形成する。

【0023】続いて、図3に示す本実施の形態1の半導体チップ2の形成方法で用いるエッチング装置の要部の構造について説明する。

【0024】本実施の形態1のエッチング装置は、ウェット式のものであり、その要部は、半導体ウェハ1を真空吸着などによって支持し、かつ回転自在に設置された回転ステージ11と、エッチング中、回転ステージ11に支持された半導体ウェハ1の切削部1aにエッチング液12を供給する移動ノズル13と、回転ステージ11の回転速度および移動ノズル13の移動速度および移動量などを制御する制御部14とによって構成されてい

る。

【0025】これにより、前記エッティング装置は、ダイシングによって形成された半導体ウェハ1を回転ステージ11によって支持し、この回転ステージ11を所定速度で回転させながら移動ノズル13から半導体ウェハ1の切削部1aに対してエッティング液12を供給して切削部1aをエッティングするものである。

【0026】なお、切削部1aは、エッティングによりその表面層1bが深さ2μm程度に亘って除去され、これにより、切削部1aに形成されたチッピングや結晶欠陥（結晶欠陥は1～2μm程度の深さに形成される）などの欠陥を取り除くことができる。

【0027】ここで、本実施の形態1の半導体チップ2の形成方法におけるエッティング装置で使用するエッティング液12は、例えば、HF、HNO<sub>3</sub>またはH<sub>2</sub>SO<sub>4</sub>などの混合液である。

【0028】次に、本実施の形態1の半導体チップ2の形成方法について説明する。

【0029】なお、本実施の形態1の半導体チップ2の形成は、ダイシング（切削）を行った後にエッティングを行うものである。

【0030】また、図3に示すエッティング装置を用いてエッティングを行う前、好ましくはダイシング前の工程において、半導体ウェハ1の回路形成面1cに前記エッティングに対する保護膜（例えば、前記エッティング液12に対して強いレジスト膜）を形成しておき、この状態でダイシングおよびエッティングを行う。

【0031】まず、それぞれのチップ領域1eに半導体集積回路が形成され、かつリング状のフレーム治具10に貼付されたウェハテープ9上にその裏面1dが張りつけられて固定された半導体ウェハ1を準備し、この半導体ウェハ1を図1に示すダイシング装置内に搬入する。

【0032】その後、ダイシング装置を用いて半導体ウェハ1を切削（ダイシング）して格子状の切り溝である切削部1aを形成する。

【0033】すなわち、回路形成面1cに前記レジスト膜が塗布された半導体ウェハ1を図1に示すテーブル3上にチャッキングし、極薄切削刃4（ブレードともいう）の回転速度およびテーブル3の移動量などを制御部8によって制御しながら、図2に示すように、ノズル6から冷却水7を吐出させて格子状の切り溝である切削部1aを形成する。

【0034】これにより、各チップ領域1eが区分けされる。

【0035】ダイシング終了後、図1に示すダイシング装置から半導体ウェハ1を取り出し、続いて、図3に示すエッティング装置の所定箇所に搬送し、そこで半導体ウェハ1の切削部1aのエッティングを行う。

【0036】まず、半導体ウェハ1を回転ステージ11上に真空吸着によって固定する。

【0037】その後、制御部14によって回転ステージ11の回転速度、移動ノズル13の移動量および速度、移動ノズル13からのエッティング液12の吐出量などを制御して半導体ウェハ1の表面（回路形成面1c）全体にはば均一にエッティング液12が供給されるようにして半導体ウェハ1の切削部1aをエッティング液12によってエッティングする。

【0038】これにより、切削部1aの表面層1bを除去する。

10 【0039】なお、ここで、用いられるエッティング液12は、例えば、HF、HNO<sub>3</sub>またはH<sub>2</sub>SO<sub>4</sub>などの混合液であり、エッティング温度は、常温である。

【0040】また、半導体ウェハ1の回路形成面1cには、予め、エッティング液12に対する保護膜（例えば、エッティング液12に対して強いレジスト膜）が形成されているため、エッティング液12によって回路形成面1cがエッティングされることではなく、ダイシングによって露出した切削部1aのみがエッティングされる。

【0041】これにより、切削部1aにおける厚さ2μm程度の表面層1bを除去し、ダイシングによって形成されたチッピングや結晶欠陥などの欠陥を除去できる。

【0042】その結果、この半導体ウェハ1から分離させて取得する半導体チップ2（図4参照）の抗折強度を向上させることができる。

【0043】その後、図3に示すエッティング装置が備える洗浄部（ただし、図3に示すエッティング装置が洗浄部を備えていない場合は、他の洗浄装置）を用いて、半導体ウェハ1を洗浄する。

【0044】ここでは、例えば、純水によって半導体ウェハ1の洗浄を行う。

【0045】次に、本実施の形態1の半導体装置の製造方法について説明する。

【0046】なお、前記半導体装置の製造方法は、前記半導体チップの形成方法を用いたものであり、本実施の形態1では、前記半導体装置の一例として薄形のパッケージである図4に示すTCP15の場合を説明する。

【0047】ここで、本実施の形態1のTCP15は、カード内に半導体装置を埋め込んで形成される薄形製品であるIC（Integrated Circuit）カードなどに用いる40と有効なものであるが、その用途は前記ICカードに限定されるものではない。

【0048】まず、TCP15の構成について説明すると、半導体チップ2のパッド2a（表面電極）とバンプ17を介して電気的に接続し、かつこのバンプ17を介して半導体チップ2を支持するリード部16（チップ支持部材）と、リード部16と繋がった外部端子である外部リード18と、リード部16および外部リード18が設けられた薄膜配線テーブル19と、半導体チップ2の回路形成面1cおよびリード部16を封止用樹脂によって50封止して形成した封止部20と、ボッティングによって

封止を行った際の前記封止用樹脂の流出を阻止するダム部21とからなる。

【0049】なお、薄膜配線テープ19は、例えば、ポリイミドテープなどによって形成され、また、前記封止用樹脂は、例えば、熱硬化性のエポキシ樹脂などである。

【0050】次に、前記半導体チップ2の形成方法を含むTCP15の製造方法について説明する。

【0051】なお、本実施の形態1で説明したダイシング工程とエッチング工程とを含む半導体ウェハ1から半導体チップ2を取得する際の手順については、前記半導体チップ2の形成方法と全く同じであるため、その重複説明は省略する。

【0052】すなわち、前記半導体チップ2の形成方法により、ダイシングによる切削部1aをエッチングして形成した半導体チップ2を準備する。

【0053】続いて、半導体チップ2とチップ支持部材であるリード部16とを接合するチップマウント（ペレットボンディングともいう）を行う。

【0054】TCP15の場合、半導体チップ2のパッド2aに仮固定したバンプ17と薄膜配線テープ19のリード部16とを熱圧着によって電気的にかつ機械的に接合する。

【0055】これにより、インナリードであるリード部16と外部端子である外部リード18とが電気的に繋がっているため、半導体チップ2のパッド2aと外部リード18とも電気的に接続されたことになる。

【0056】その後、前記封止用樹脂を用いてボッティング方法により、半導体チップ2の回路形成面1cとリード部16との樹脂封止を行って封止部20を形成する。

【0057】さらに、外部リード18を含む薄膜配線テープ19を所定箇所で切断してTCP15の製造を完了する。

【0058】これにより、ダイシングによる切削部1aの表面層1bを除去して抗折強度の向上を図った半導体チップ2を有したTCP15を製造できる。

【0059】本実施の形態の半導体チップ2の形成方法およびそれを用いたTCP15（半導体装置）の製造方法によれば、以下のような作用効果が得られる。

【0060】すなわち、切削（ダイシング）により形成された半導体ウェハ1の切削部1aをエッチングして切削部1aの表面層1bを除去することにより、結晶欠陥を除去することができる。

【0061】さらに、切削部1aに形成されたエッジ面を削ることができるために、このエッジ面への応力集中を緩和できるとともに、切削部1aの表面に形成された亀裂も削り取ることができる。

【0062】したがって、前記結晶欠陥を除去でき、かつ前記エッジ面への応力集中を緩和できるため、半導体

チップ2の抗折強度の向上を図ることができる。

【0063】また、半導体ウェハ1の切削部1aをエッチングすることにより、同一ウェハ内での半導体チップ2の抗折強度のばらつきを低減できる。

【0064】さらに、半導体チップ2の抗折強度の向上を図ることができるため、製品であるTCP15（半導体装置）に対しても仕様範囲内の外力が加わった際に、クラックの発生を防止できる。

【0065】また、半導体チップ2の抗折強度の向上を図ることができるため、TCP15において耐荷重の仕様を大きくすることができる。

【0066】さらに、エッチングを行う際に、半導体ウェハ1の回路形成面1cにエッチングに対する保護膜を形成した後にエッチングを行うことにより、半導体チップ2の回路形成面1cの素子を保護することができる。

【0067】これにより、半導体チップ2の歩留りを向上できる。

【0068】（実施の形態2）図5は本発明の実施の形態2の半導体チップの形成方法に用いられるダイシング装置の要部の構造を示す構成概略図である。

【0069】本実施の形態2の半導体チップ2の形成方法は、切削（ダイシング）を行いながらエッチングを行うものである。

【0070】すなわち、実施の形態1の半導体チップ2の形成方法が、切削後（ダイシング後）にエッチングを行ったのに対して、本実施の形態2の半導体チップ2の形成方法は、前記切削と前記エッチングとを同時にを行うものである。

【0071】したがって、本実施の形態2の半導体チップ2の形成方法に用いられるダイシング装置は、図5に示すように、ノズル6から冷却水7（図2参照）の代わりにエッチング液12を吐出し、ダイシングしながら半導体ウェハ1の切削部1aにエッチング液12を供給するものであり、エッチング液12が切削部1aの冷却も兼ねている。

【0072】つまり、制御部8により、極薄切削刃4の回転速度およびテーブル3の移動量などを制御しながら、ノズル6からのエッチング液12の吐出量も制御して切削部1aを形成するとともに、同時に、切削部1aにエッチング液12を供給していく。

【0073】これにより、図5に示すダイシング装置は、ダイシングと切削部1aのエッチングとを兼ねて行うことが可能な装置である。

【0074】エッチングを含むダイシング終了後、実施の形態1の場合と同様に、純水などを用いて半導体ウェハ1を洗浄する。

【0075】なお、本実施の形態2の半導体チップ2の形成方法およびそれを用いた半導体装置の製造方法は、実施の形態1のダイシングによって形成された切削部1aのエッチングの手順を、ダイシング後からダイシング

最中（ダイシング装置による冷却水7をエッティング液1-2に代えてダイシングしながら切削部1aをエッティングする）に置き換えるだけであり、その他の半導体チップ2の形成方法および半導体装置の製造方法については、実施の形態1で説明したものと同じであるため、その重複説明は省略する。

【0076】本実施の形態2の半導体チップ2の形成方法およびそれを用いた半導体装置の製造方法によれば、以下のような作用効果が得られる。

【0077】すなわち、切削（ダイシング）を行いながらエッティングを行うことにより、これらの処理を効率良く行うことができ、その結果、半導体チップ2の形成方法および半導体装置の製造方法におけるタクトタイムを短縮できる。

【0078】なお、本実施の形態2の半導体チップ2の形成方法およびそれを用いた半導体装置の製造方法によって得られるその他の作用効果については、実施の形態1で説明したものと同様であるため、その重複説明は省略する。

【0079】以上、本発明者によってなされた発明を発明の実施の形態1、2に基づき具体的に説明したが、本発明は前記発明の実施の形態1、2に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0080】例えば、前記実施の形態1、2では、半導体ウェハ1の回路形成面1cを切削（ダイシング）してこの回路形成面1cに切り溝である切削部1aを形成する場合を説明したが、半導体ウェハ1の回路形成面1cと反対側の面である裏面1d（図3参照）をダイシングしてこの裏面1dに形成された切削部1aをエッティングしてもよい。

【0081】すなわち、半導体ウェハ1をその裏面1dで切削（ダイシング）して裏面1dに格子状の切り溝である切削部1aを形成し、前記切削によって形成された半導体ウェハ1の切削部1aをエッティングして切削部1aの表面層1bを除去するものである。

【0082】その際、ウェハテープ9は、半導体ウェハ1の回路形成面1cに貼付され、ダイシング時には、ダイシング装置のテーブル3上に通常のダイシングの場合と半導体ウェハ1の表裏を反転させて配置する。

【0083】つまり、裏面1dのダイシングを行う際には、半導体ウェハ1の裏面1dをスピンドル5側（上方）に向け（ウェハテープ9が貼付された回路形成面1c側を下に向け）、上方に向けた裏面1dを極薄切削刃4によって切削して切り溝である切削部1aを裏面1dに形成する。

【0084】ダイシング後、この裏面1dに形成された切削部1aを、実施の形態1の方法と同様にしてエッティングする。

【0085】なお、半導体ウェハ1の裏面1dのダイシ

ング中に実施の形態2の方法と同様にして切削部1aをエッティングしてもよい。すなわち、裏面1dをダイシングしながらエッティングしてもよい。

【0086】これにより、半導体ウェハ1の裏面1dにおいて切削とエッティングとを行うため、エッティング前の回路形成面1cに対しての保護膜の形成を行う必要がなくなる。

【0087】その結果、エッティング前に回路形成面1cに対して保護膜の形成を行う場合と比較して、この保護膜形成の工程を削除できるため、切削およびエッティングの効率化を図ることができ、これにより、タクトタイムを短縮できる。

【0088】なお、半導体ウェハ1を裏面1dで切削し、この切削によって形成された半導体ウェハ1の切削部1aをエッティングすることにより、半導体ウェハ1の裏面1d側において切削が行われるため、半導体ウェハ1の回路形成面1cにはウェハテープ9が貼付される。

【0089】その結果、このウェハテープ9により回路形成面1cの素子を保護することができる。

【0090】また、裏面1dをダイシングする方法において、前記エッティングを行う際に、裏面1dの全体をエッティングして裏面全体の表面層1bを除去してもよい。

【0091】これにより、半導体ウェハ1の裏面1dの表面層1bを除去することができ、半導体ウェハ1の裏面1dに形成された結晶欠陥なども除去できる。

【0092】その結果、半導体チップ2の抗折強度をさらに向上できる。

【0093】なお、前記実施の形態1、2では、ダイシング後またはダイシング中にエッティング液1-2を用いて切削部1aをエッティングする場合を説明したが、エッティング液1-2の代わりとしてCF<sub>4</sub> + O<sub>2</sub> またはSF<sub>6</sub>などのエッティングガスを用いてもよい。

【0094】この場合、エッティングは、例えば、50～100°C程度で行われ、また、洗浄時には、前記エッティングガスに対しての中和ガスを用いる。

【0095】なお、エッティングガスを用いた際にも、前記実施の形態1と同様の作用効果を得ることができる。

【0096】また、前記実施の形態1、2では、ダイシング後またはダイシング中にエッティング液1-2を用いてエッティングを行う場合を説明したが、図6に示す他の実施の形態のように、不活性ガスのイオンによるスパッタ方式によって半導体ウェハ1の切削部1aのエッティングを行ってもよい。

【0097】この場合、異方性を利用してできるため、図6に示すように、スパッタ粒子2-3は、半導体ウェハ1に対して直線的に衝突するため、回路形成面1cに覆うスパッタ用のマスク2-2を用いることにより、スパッタ粒子2-3が半導体ウェハ1の回路形成面1cに衝突することはなく、回路形成面1c上にレジスト膜などの保護膜を形成する必要がない。

【0098】したがって、裏面ダイシングの場合と同様に、保護膜形成の工程を削除できるため、切削およびエッチングの効率化を図ることができ、これにより、タクトタイムを短縮できる。

【0099】さらに、マスク22を複数回使用することができる。

【0100】また、前記実施の形態1（裏面ダイシングでダイシング後にエッチングを行う場合も含む）では、ダイシングとエッチングとを別々の装置を用いて行う場合を説明したが、ダイシング装置にエッチング部を設けてダイシング部とエッチング部とを有した装置としてもよい。

【0101】すなわち、ダイシング装置が、ダイシングを行った後、ダイシングによる切削部1aをエッチングする一貫処理装置であってもよい。

【0102】また、前記実施の形態1、2では、半導体装置の一例として、TCP15を取り上げて説明したが、前記半導体装置は、ダイシングにより形成された切削部1aをエッチングしてその表面層1bを除去し、これにより、抗折強度を向上させた半導体チップ2が組み込まれたものであれば、COB(Chip On Board)やCSP(Chip Scale Package)などの他の半導体装置であってもよく、さらに、ペアチップ出荷品に適用してもよい。

【0103】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0104】(1)、切削(ダイシング)により形成された半導体ウェハの切削部をエッチングして切削部の表面層を除去することにより、結晶欠陥を除去することができる。さらに、切削部に形成されたエッジ面を削ることができるために、このエッジ面への応力集中を緩和できる。これにより、半導体チップの抗折強度の向上を図ることができる。

【0105】(2)、半導体ウェハの切削部をエッチングすることにより、同一ウェハ内での半導体チップの抗折強度のばらつきを低減できる。さらに、半導体チップの抗折強度の向上を図ることができるため、製品である半導体装置に対しても仕様範囲内の外力が加わった際に、クラックの発生を防止できる。

【0106】(3)、半導体チップの抗折強度の向上を図ることができるため、半導体装置において耐荷重の仕様を大きくすることができる。

【0107】(4)、ダイシングを行いながらエッチングを行うことにより、これらの処理を効率良く行うことができ、その結果、タクトタイムを短縮できる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の半導体チップの形成方法に用いられるダイシング装置の要部の構造の一例を示す構成概略図である。

【図2】図1に示すダイシング装置によるダイシング時の半導体ウェハの状態の一例を一部破断して示す部分斜視図である。

【図3】本発明の実施の形態1の半導体チップの形成方法に用いられるエッチング装置の要部の構造の一例を示す構成概略図である。

10 【図4】本発明の実施の形態1の半導体装置の製造方法を用いて製造される半導体装置の一例であるTCPの構造を示す断面図である。

【図5】本発明の実施の形態2の半導体チップの形成方法に用いられるダイシング装置の要部の構造を示す構成概略図である。

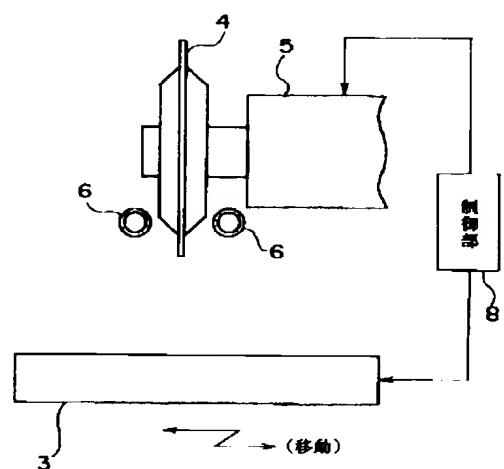
【図6】本発明の他の実施の形態である半導体チップの形成方法に用いられるエッチング装置の構造を示す構成概略図である。

【符号の説明】

- |    |                  |
|----|------------------|
| 20 | 1 半導体ウェハ         |
|    | 1a 切削部           |
|    | 1b 表面層           |
|    | 1c 回路形成面         |
|    | 1d 裏面            |
|    | 1e チップ領域         |
|    | 2 半導体チップ         |
|    | 2a パッド(表面電極)     |
|    | 3 テーブル           |
|    | 4 極薄切削刃          |
| 30 | 5 スピンドル          |
|    | 6 ノズル            |
|    | 7 冷却水            |
|    | 8 制御部            |
|    | 9 ウェハテープ         |
|    | 10 フレーム治具        |
|    | 11 回転ステージ        |
|    | 12 エッチング液        |
|    | 13 移動ノズル         |
|    | 14 制御部           |
| 40 | 15 TCP(半導体装置)    |
|    | 16 リード部(チップ支持部材) |
|    | 17 バンプ           |
|    | 18 外部リード(外部端子)   |
|    | 19 薄膜配線テープ       |
|    | 20 封止部           |
|    | 21 ダム部           |
|    | 22 マスク           |
|    | 23 スパッタ粒子        |

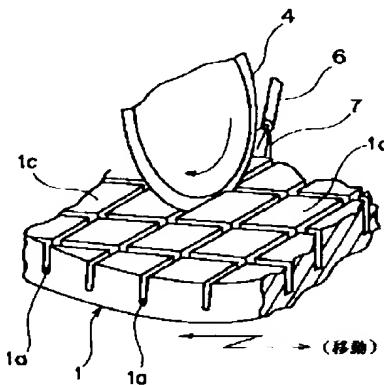
【図1】

図 1



【図2】

図 2

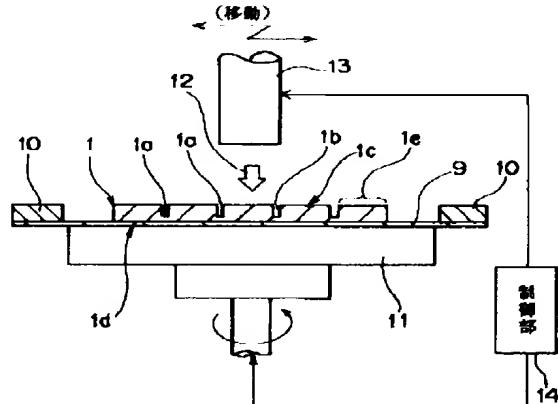


【図4】

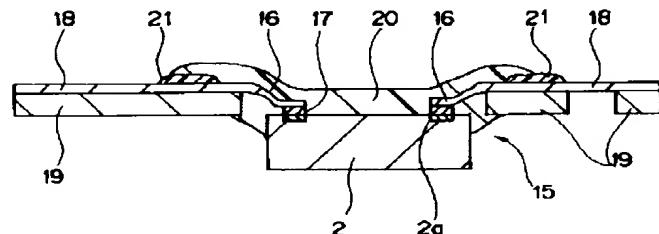
図 4

【図3】

図 3



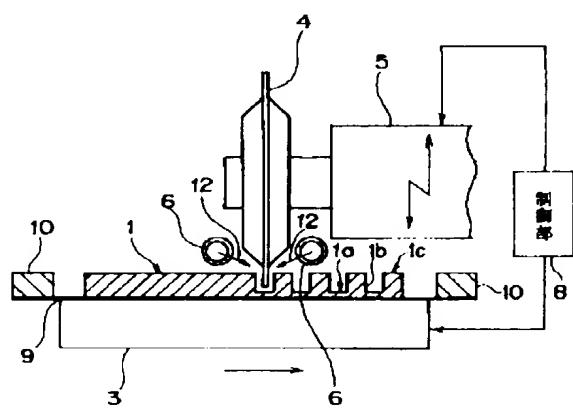
1:半導体ウエハ  
1a:切削部  
1b:表面層  
1c:回路形成面  
1d:裏面



2:半導体チップ  
2a:パッド(表面電極)  
15:TCP(半導体装置)  
16:リード部(チップ支持部材)  
18:外部リード(外部端子)

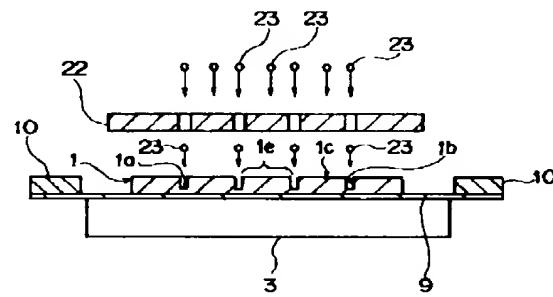
【図5】

図 5



【図6】

図 6



フロントページの続き

(72)発明者 森田 正行

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業本部内

(72)発明者 花田 賢次

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業本部内